

基于差值二次分配的扫描链平衡算法

邓立宝, 乔立岩, 俞 洋, 彭喜元

(哈尔滨工业大学自动化测试与控制系, 黑龙江哈尔滨 150080)

摘 要: IP 核的测试时间与其加载测试封装后的最大输入/输出扫描链长度有直接关系, 为了降低测试成本, 减少测试时间, 必须对 IP 核内的扫描链进行平衡设计. 最为经典的扫描链平衡方法是 BFD(Best Fit Decrease)方法, 它具有实现简单、算法复杂度低等优点, 但是其分配的结果尚有待提高之处. 本文提出一种基于差值的二次分配的扫描链平衡方法, 其主要思想是选择 IP 核内部的某一条扫描链作为基准扫描链, 将其长度记为 L , 将所有长度超过 L 的扫描链与之做差, 并将差值记为 d_i . 在第一次分配中, 只将长度大于 L 的扫描链按照长度为 L 的基准扫描链进行分配; 然后将长度小于 L 的扫描链与差值 d_i 重新排序后, 按照从大到小的顺序, 依次将其放置在可以放置的最小的测试封装扫描链上进行第二次分配. 该方法简单易实现, 通过在 ITC'02 SOC 标准测试集上实验, 数据表明, 基于差值二次分配的扫描链平衡方法与现有方法相比, 能得到更好的平衡结果.

关键词: 扫描链平衡; 最传递减匹配; 差值; 二次分配

中图分类号: TP391 **文献标识码:** A **文章编号:** 0372-2112 (2012)02-0338-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2012.02.021

Wrapper Scan Chains Balance Algorithm Base on Twice-Assigned Method by the Chains Difference

DENG Li-bao, QIAO Li-yan, YU Yang, PENG Xi-yuan

(Department of Automatic Test and Control, Harbin Institute of Technology, Harbin, Heilongjiang 150080, China)

Abstract: Test application time of IP is based on the maximum scan in/out chains. A well balance wrapper scan chains design is an important approach to minimize the test application time and test cost. Best Fit Decrease (BFD) is the most classical scan chains balance method, which is easy to realize, but the result is not the best. This paper describes a wrapper scan chains balance algorithm base on twice-assigned method by the chains difference. The main idea of the proposed solution is that select a standard chain, with its length L , find the chains which length longer than L from all internal scan chains of the IP core, compute these chains the difference d_i with L , regard these chains as L in the first-assigned. Sort the length shorter than L and d_i in descending order of length, assign to the enable shortest wrapper scan chain in the second-assigned. The proposed method is also easy to use, experimental results for the ITC'02 SOC Test Benchmarks show that the method in this paper can get better balanced result when compared to the existing solutions.

Key words: scan chains balance; best fit decrease(BFD); chains difference; twice-assigned

1 引言

基于 IP 核复用的 SOC(System-On-a-Chip)设计思想已成为当今电子设备的主流技术, 它大大缩短了产品的上市时间, 提高了系统的稳定性. 但是却给测试带来了很大的挑战, 主要表现在: 嵌入到 SOC 内部的 IP 核的端口远远大于 SOC 的管脚, 因此无法直接测试访问这些 IP 核^[1]; 随着 IP 核复杂度的提升, 对 SOC 的测试时间也成倍增加^[2~4], 进而导致测试费用的迅猛提升. 测试问

题已成为制约 SOC 发展的瓶颈问题^[5,6], 因此必须采取有效的措施.

由于嵌入到 SOC 内部的 IP 核的输入输出管脚不可能都与 SOC 的管脚连接, 因此无法对 IP 核直接进行测试. 为了解决这个问题, IEEE 1500 标准提出的核测试体系结构^[7~11]包含三个部分: 测试源/测试宿, 测试存取机制 (Test Access Michanism, TAM) 和测试封装 (Test Wrapper) 如图 1 所示.

测试源产生被测电路所需的测试激励; 测试宿收集

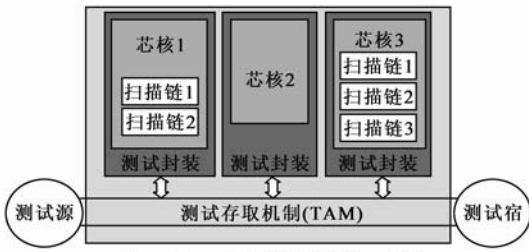


图1 SOC的系统级测试结构图

测试响应,评估测试电路的功能正常性.测试存取机制为数据传输提供通路,将测试激励传输到IP核,并将测试响应从IP核传输到宿.上述部分实现起来较为简单,不再赘述,而详细介绍测试封装.

由于嵌入在SOC内部的IP核失去了可测性和可控性^[8],为了实现对其的测试访问,目前国际上常采用的方法是在IP核上加载一个测试封装^[9,10],该测试封装不仅能实现SOC中各个IP核测试数据的快速传输通道,而且要完成IP核内部扫描链的分配,从而使其更好的适应为其分配的TAM宽度.本文提出了一种扫描链分配方法——基于差值的二次分配的扫描链平衡方法,该方法可以更好的缩短SOC的测试时间,进而降低测试费用.

2 扫描链封装设计

经过封装后IP核的最长输入扫描链记为 S_i ,最长的输出扫描链为 S_o ,该IP核的测试向量的个数为 P ,则对该IP核测试的时间(单位:测试时钟周期数) T 为^[12]:

$$T = (1 + \max\{S_i, S_o\}) * P + \min\{S_i, S_o\}$$

假设:某IP核含有2个功能输入端口,2个功能输出端口,有3条内部扫描链,长度分别为:2,4,8,测试向量的个数 $p = 100$.在封装为2条扫描链的情况下有如图2中两种可能.图2(a)中,IP核的最长输入扫描链长度 $S_i = 14$,输出扫描链长度 $S_o = 14$,对IP核的测试时间 $T(a) = 1514$.图2(b)中两条扫描链长度相同,都是 $S_i = 8, S_o = 8$,测试时间 $T(b) = 908$.扫描链的分配结果直接影响对其测试的时间,较小的扫描链长度差异就会带来较大的测试时间的差异.因此,为了使得测试时间 T 最小, S_i 和 S_o 应尽可能小,最理想的情况是封装

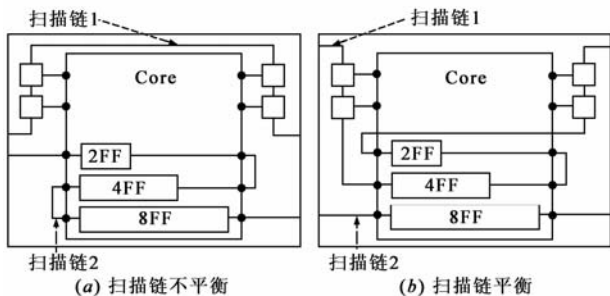


图2 两种测试封装设计

后各条扫描链的长度相等,这就是扫描链平衡设计的原因.

现有的扫描链平衡方法主要有以下三种:FFD(First Fit Decrease)、BFD和MVA(Mean Value Approximation).文献[12]在FFD方法改进的基础上提出了的BFD方法,因此本文未采用FFD方法,下面介绍BFD方法的思路:先对IP核内部的扫描链进行分配,再根据相同的思想分配IP核的输入单元和输出单元.BFD方法分配扫描链的步骤是:

- (1)将IP核内部的扫描链按照从大到小的顺序进行排列.
- (2)对内部所有的扫描链 L :
 - (a)找到封装后的最长扫描链 S_{max} 和最短扫描链 S_{min} .
 - (b)如果存在封装后的扫描链 S ,使得 $\text{length}(S_{max}) - (\text{length}(S) + \text{length}(S_{min}))$ 最小,将 L 分配给扫描链 S .
 - (c)否则,将 L 分配给 S_{min} .

BFD方法具有算法复杂度低、运行效率高等优点,在扫描链平衡领域中被广泛的应用,在扫描链划分过程的复杂度为 $O(n \times \log(n) + n \times N)$,其中 n 为IP核的内部扫描链数量, N 为封装后的扫描链数量.但是BFD方法得到的结果在有些情况下仍然有很大的待提升的空间.由于最理想的情况是,各条扫描链的长度都相等,因此文献[13]提出了一种基于平均值的扫描链平衡方法,简记为MVA,其算法复杂度为 $O(n \times \log(n) + (n + 1) \times N)$.MVA方法的主要思想是将扫描链分配给最接近但不超过平均值的那条封装后的扫描链,但是,毕竟只有在很少数的情况下每条封装后的扫描链才可能相等.因此该方法的求解结果仍然存在很大问题.

假设某IP核内部共有八条扫描链,序号记为1~8,他们的长度为[9,9,8,8,7,7,6,6].在封装为三条扫描链的情况下,BFD方法和MVA方法求得的过程如图3所示,图中矩形里的数字代表扫描链的序号,三条封装后的扫描链长度分别为(22,22,16)和(20,22,18).

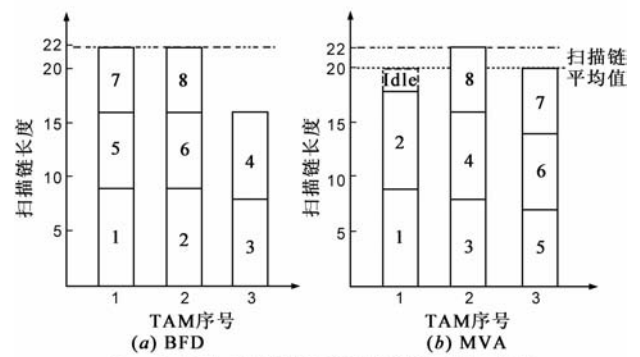


图3 两种扫描链平衡方法计算结果示意图

的扫描链 S_{max} ,从中找到一个基准的扫描链 $S(ADJ)$,其长度乘以调整系数 ADJ 后的长度最接近于 S_{max} ,计算出所有长度超过 $S(ADJ)$ 的扫描链(记为 $S_{>}$)与 $S(ADJ)$ 的差值 di' ,并将它们按照 $S(ADJ)$ 的长度进行第一次分配;然后将长度不大于 $S(ADJ)$ 的扫描链(记为 S_{\leq})与差值 di' 从大到小排序后组成 di ,进行第二次分配.可以看出,TAD(MIN)算法是调整系数 $ADJ > S_{max}/S_{min}$ 情况下 TAD(ADJ)算法的特例.基于差值的二次分配的扫描链平衡方法的优越之处在于第二次分配的差值要略小于第一次分配的基准扫描链的值,因此在下面的实验中选择调整系数为 1.9,即差值最大不超过基准扫描链的 90%,TAD(ADJ)算法伪代码如图 5 所示.

```

假设:IP 核的内部扫描链数量为  $n$ ,封装后的扫描链数量为  $N$ 
1.  $S = \text{sort}(S, \text{descend})$ 
2.  $\text{find } S(ADJ)$ . 将所有大于  $S(SDJ)$  的记为  $S_{>}$ ,记  $S_{>}$  的个数为  $n_{>}$ ;所有不大于  $S(SDJ)$  的记为  $S_{\leq}$ 
3.  $di' = S_{>} - S(ADJ)$ ,  $di = [di', S_{\leq}]$ ;
   % 第一次分配
4. 将  $n_{>}$  个长度为  $S(ADJ)$  的扫描链平均分配到  $N$  条封装后的扫描链 TAM(1:  $N$ ) 中
5. 每条 TAM 中含有的内部扫描链个数记为  $No\_TAM(1: N)$ 
6. 每条 TAM 含有的内部扫描链之和记为  $Sum\_TAM(1: N)$ 
   % 第二次分配
7. For  $i = 1: n$ 
8.   If  $di \in S_{\leq}$ 
9.      $a = \text{find}(Sum\_TAM == \min(Sum\_TAM))$ ;
10.     $Sum\_TAM(a(1)) = Sum\_TAM(a(1)) + di(i)$ ;
11.   else
12.      $c = \text{find}(No\_TAM > 0)$ ;
13.      $a = \text{find}(Sum\_TAM == \min(Sum\_TAM(c)))$ ;
14.      $b = \text{find}(\max(No\_TAM(a)))$ ;
15.      $Sum\_TAM(a(b(1))) = Sum\_TAM(a(b(1))) + di(i)$ ;
16.      $No\_TAM(a(b(1))) = No\_TAM(a(b(1))) - 1$ ;
17.   End
18. End

```

图 5 TAD(ADJ)算法伪代码

TAD(ADJ)算法伪代码复杂度分析如下:第 1 行为排序算法,若采用二分思想,该过程复杂度为 $O(n \times \log(n))$;第 2~6 行代码的运算时间为常量;第 7 行及以后的代码可以看成这样一个过程:从 L 内取一个数,将其添加到 S 集合的某个元素当中,那个该过程最坏的情况就是 L 内的每一个元素遍历 S 集合内的每一个元素,其复杂度为 $O(n \times N)$.因此该算法复杂度为: $O(n \times \log(n) + n \times N)$.单纯的从算法复杂度上分析,可以发现本文提出的基于差值二次分配的扫描链平衡方法 TAD(ADJ)比 MVA 方法的算法复杂度低,同 BFD 算法复杂度一致.

TAD(ADJ)算法的计算结果如表 2 所示(调整系数

$ADJ = 1.9$),可以看出改进的算法在内部扫描链长度差异较大的情况下,计算的结果有很大的改进.

表 2 p22810 的 core5 数据

提供的 TAM 宽度	最长的测试封装扫描链长度/(占用的 TAM 宽度)							
	BFD		MVA		TAD(MIN)		TAD(ADJ)	
	长度	缩短量	长度	缩短量	长度	缩短量	长度	缩短量
3	763	766	-3	782	-19	752	11	
4	572	577	-5	579	-7	569	3	
5	461	457	4	475	-14	454	7	
6	389	387	2	390	-1	379	10	
7	342	333	9	352	-10	331	11	
8	295	330	-35	295	0	287	8	
9	274	301	-27	271	3	260	14	
10	239	239	0	252	-13	239	0	
11	214	268	-54	241	-27	214	0	
12	214	268	-54	241	-27	214	0	
13	214	315	-101	241	-27	214	0	
14	214	306	-92	241	-27	214	0	
15	214	298	-84	214	0	214	0	
16	214	289	-75	214	0	214	0	
17	214	287	-73	214	0	214	0	
18	214	314	-100	214	0	214	0	
19	214	306	-92	214	0	214	0	
20	214	306	-92	214	0	214	0	
21	214	268	-54	214	0	214	0	
22~64	214	214	0	214	0	214	0	

4 实验验证与结果分析

为了验证本文所提方法的通用性,本文将 BFD、MVA、TAD(ADJ)三种方法在 ITC'02 标准测试集^[14,15]中所有的 IP 核中进行试验,该测试集包含 12 个 SOC、共有 186 个 IP 核,分别计算提供 TAM 宽度为 2~64 时的 11718 种情况下,各种方法能够得到的最优值的个数(记三种方法求得的最小值为最优值).在调整系数 $ADJ = 1.9$ 的情况下,TAD(ADJ)能够得到最优值的个数为 11664,占有所有最优值的 99.54%;MVA 能够得到最优值的个数为 11471,占有所有最优值的 97.89%;BFD 能够得到最优值的个数为 11469,占有所有最优值的 97.88%,各种方法能够取得最优解的情况如图 6 所示.本文方法 TAD(ADJ)在 ITC'02 标准测试集中所有的 IP 核上都能取得更好的扫描链平衡方案.

由表 1 和表 2 可知,在不同的 TAM 宽度下,各方法的寻优能力有很大的差异,为了验证本文方法的有效性,本文在 TAM 宽度分别为 2~64 的情况下,计算 BFD、MVA、TAD(ADJ)三种方法能够得到最优值的个数,结果如图 7 所示.TAD(ADJ)取得

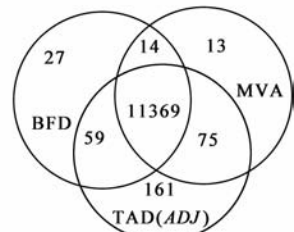


图 6 三种方法取得的最优解个数分布图

最优值的能力较 *BFD*、*MVA* 方法更稳定:当 TAM 宽度较小时 *TAD(ADJ)* 比另外两种方法得到最优值的次数更多;当 TAM 宽度增大时,三种方法基本上都能得到最优值,但是 *MVA* 方法在 TAM 宽度为 40~45 时寻优能力不及 *BFD* 和 *TAD(ADJ)* 方法。

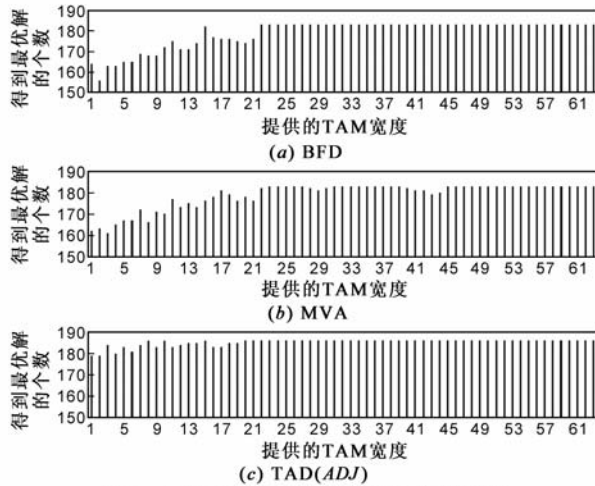


图7 三种方法取得的最优解个数分布图

上述实验结果是在调整系数 $ADJ = 1.9$ 的情况下取得的,这和基于差值的二次分配的扫描链平衡方法思想的出发点是一致的,在 *TAD(ADJ)* 中,目的是使得各条扫描链与基准扫描链差值的差异小于扫描链的差异,鉴于 IP 核的内部各条扫描链长度的分配特性,因此调整系数 ADJ 取 1.9 的情况下才能最好的反映这种思想.为了验证上述想法,将 ADJ 从 1.1 到 3.0 情况下,计算 *BFD*、*MVA*、*TAD(ADJ)* 三种方法能够得到最优值的个数,结果如图 8 所示。

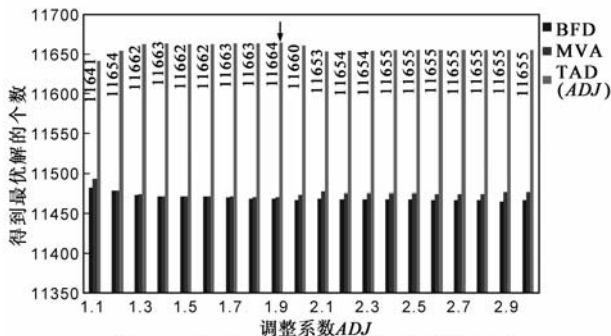


图8 三种方法取得的最优解个数分布图

5 结论

本文针对 SOC 测试封装中的扫描链平衡问题,提出了基于差值的二次分配的方法,该方法通过将扫描链按照一个基准长度进行第一分配,再根据各条扫描链与基准扫描链之间的差异情况进行第二次分配,该方法具有实现简单,算法复杂度低等优点.通过在 ITC'02 标准测试集中的实验数据得出,本文方法在算法通

用性、寻优能力等方面均优于其他现有方法。

参考文献

- [1] 乔立岩,向刚,俞洋.基于 IEEE 1500 标准的 IP 核测试壳设计[J].电子测量技术,2010,33(7):88-91.
Qiao Li-yan, Xiang gang, Yu Yang. Design of IP core test wrapper based on IEEE 1500 standard[J]. Electronic Measurement Technology, 2010, 33(7): 88-91. (in Chinese)
- [2] 赵鹏,王大伟,李思坤.面向 SoC 任务分配的应用程序存储需求分析[J].电子学报,2010,38(3):541-545.
Zhao Peng, Wang Dawei, Li Sikun. Research on memory size estimation of application programs for system on chip task allocation[J]. Acta Electronica Sinica, 2010, 38(3): 541-545. (in Chinese)
- [3] 罗胜钦,马萧萧,陆忆.基于改进的 NSGA 遗传算法的 SOC 软硬件划分方法[J].电子学报,2009,37(11):2595-2599.
Luo Shengqin, Ma Xiaoxiao, Lu Yi. An advanced non-dominated sorting genetic algorithm based SOC hardware/software partitioning[J]. Acta Electronica Sinica, 2009, 37(11): 2595-2599. (in Chinese)
- [4] MARINISSEN Erik Jan, GOEL Sandeep Kumar, LOUSBERG Maurice. Wrapper design for embedded core test[A]. IEEE International Test Conference (TC) [C]. Atlantic: IEEE, 2000. 911-915.
- [5] Shao J B, Ma G S, Yang Z, et al. Process Algebra Based SoC Test Scheduling for Test Time Minimization[A]. IEEE Computer Society Annual[C]. Montpellier: IEEE Computer Society Technical Committee on VLSI, 2008. 134-138.
- [6] 王佳,张金艺,林峰,等. Wrapper 扫描链均衡与系统芯片测试调度的联合优化算法[J].上海大学学报(自然科学版),2009,15(4):336-341.
Wang J, Zhang J Z, Lin F, et al. Wrapper scan chain balance and test scheduling co-optimization for core-based system-on-chip test[J]. Journal of Shang Hai University (Natural Science), 2009, 15(4): 336-341. (in Chinese)
- [7] Silva Francisco da, Mclaurin Teresa, Waayers Tom. The Core Test Wrapper Handbook: Rationale and Application of IEEE Std. 1500[M]. Berlin: Springer, 2005. 147-155.
- [8] Mullane Brendan, Higgins Michael, Namee Ciaran Mac. An optimal IEEE 1500 core wrapper design for improved test access and reduced test time[A]. IET Irish Signals and Systems Conference [C]. Galway, Ireland: Institution of Engineering and Technology, 2008. 204-209.
- [9] Benso Alfredo, Di Carlo stefano, et al. IEEE standard 1500 compliance verification for embedded cores[J]. IEEE Transactions on Very Large Scale Integration (VLSI) System, 2008, 16(4): 397-407.
- [10] Higgins M, Macnamee C, Mullane B. Design and implementa-

tion challenges for adoption of the IEEE 1500 standard[J]. IET Computers & Digital Techniques, 2010, 4(1): 38 – 49.

- [11] IEEE Std 1500 – 2005. IEEE 1500 Standard for Embedded Core Test[S].
- [12] Iyengar V, Chakrabarty K, Marinissen E J. Test wrapper and test access mechanism co-optimization for system-on-chip [A]. ITC International Test Conference[C]. Baltimore: IEEE Comp. Soc. Test Technology Technical Council, 2001. 1023 – 1032.
- [13] Niu D H, Wang H, Yang S Y, et al. Re-optimization algorithm for SoC wrapper-chain balance using mean-value approximation[J]. Tsinghua Science and Technology, 2007, 12(S1): 61 – 66.
- [14] E J Marinissen, V. Iyengar, K. Chakrabarty. ITC'02 SOC Test Benchmarks[DB/OL]. <http://www.extra.research.philips.com/itc02socbenchm/2002>.
- [15] E J Marinissen, V Iyeng, K Charkrabarty. A Set of Benchmarks for Modular Testing of SOCs[A]. IEEE International Test Confonce[C]. Maryland: IEEE, 2002. 519 – 528.

作者简介



邓立宝 男, 1981 年出生于河北省黄骅市, 哈尔滨工业大学自动化测试与控制系在读博士研究生, 主要研究方向为 SOC 测试优化、计算智能等。

E-mail: libaosunny@163.com



乔立岩 男, 1973 年 10 月生于黑龙江省哈尔滨市, 哈尔滨工业大学自动化测试与控制系教授, 博士生导师, 电子学会高级会员. 主要研究方向为数据采集技术、系统芯片测试技术和自动测试系统。

E-mail: qiaoliyan@163.com